

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-150866

(P2000-150866A)

(43)公開日 平成12年5月30日 (2000.5.30)

(51)Int.Cl.⁷

H 01 L 29/78

識別記号

F I

テマコード(参考)

H 01 L 29/78

3 0 1 B 5 F 0 4 0

審査請求 未請求 請求項の数11 O L (全 11 頁)

(21)出願番号 特願平10-282202

(71)出願人 000005234

富士電機株式会社

(22)出願日 平成10年10月5日 (1998.10.5)

神奈川県川崎市川崎区田辺新田1番1号

(31)優先権主張番号 特願平10-247376

(72)発明者 上野 勝典

(32)優先日 平成10年9月1日 (1998.9.1)

神奈川県川崎市川崎区田辺新田1番1号

(33)優先権主張国 日本 (JP)

(74)代理人 100088339

弁理士 棚部 正治

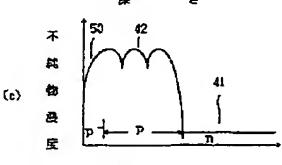
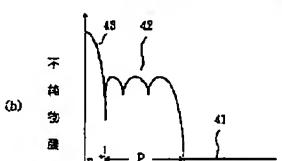
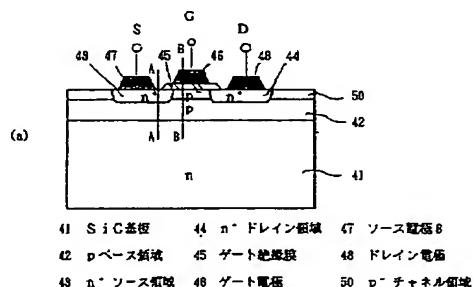
Fターム(参考) 5F040 DA22 DC02 EB13 EC10 EH02
FC14

(54)【発明の名称】炭化けい素nチャネルMOS半導体素子およびその製造方法

(57)【要約】

【課題】SiCのnチャネルMOS半導体素子において、反転層の移動度を向上させて、オン抵抗が低く、しかも製造の容易なMOS半導体素子を提供する。

【解決手段】ゲート酸化膜45直下のpベース領域42の表面層に、実効的なアクセプタ濃度が $1 \times 10^{13} \sim 1 \times 10^{16} \text{ cm}^{-3}$ と内部より低濃度のp-チャネル領域50を設ける。p-チャネル領域の形成方法としては、表面付近の注入量を減らした多重注入法、pベース領域へのドナー不純物の注入による補償法、エビタキシャル成長による方法等がある。pベース領域へのドナー不純物の注入による場合は、ドナー不純物のドーズ量xを $1 \times 10^{11} \text{ cm}^{-3} < x < 5 Q_b / \Phi_b$ とする。
 $Q_b = (4 \varepsilon_0 \varepsilon_s \Phi_b N_A)^{1/2}$



【特許請求の範囲】

【請求項1】炭化けい素からなるpベース領域、n⁺ソース領域、n⁺ドレイン領域と、pベース領域の表面に形成されたゲート絶縁膜と、そのゲート絶縁膜上に設けられたゲート電極と、電流を流す二つの主電極とを有し、前記ゲート電極に正電圧を印加してゲート絶縁膜の下方のpベース領域の表面層に誘起された反転層の電子濃度を制御することにより主電極間の電流を制御する炭化けい素nチャネルMOS半導体素子において、pベース領域とゲート絶縁膜との界面近傍において実効的なアクセプタ濃度が $1 \times 10^{13} \sim 1 \times 10^{16} \text{ cm}^{-3}$ の範囲にあることを特徴とする炭化けい素nチャネルMOS半導体素子。

【請求項2】半導体とゲート絶縁膜との界面近傍より内部の不純物濃度を高くすることを特徴とする請求項1記載の炭化けい素nチャネルMOS半導体素子。

【請求項3】炭化けい素からなるpベース領域、n⁺ソース領域、n⁺ドレイン領域と、pベース領域の表面に形成されたゲート絶縁膜と、そのゲート絶縁膜上に設けられたゲート電極と、電流を流す二つの主電極とを有し、前記ゲート電極に正電圧を印加してゲート絶縁膜の下方のpベース領域の表面層に誘起された反転層の電子濃度を制御することにより主電極間の電流を制御する炭化けい素nチャネルMOS半導体素子において、pベース領域の表面層に導入されたドナー不純物の単位面積当たりの総量xが、

$$1 \times 10^{11} \text{ cm}^{-2} < x < 5 Q_s / q$$

$$Q_s = (4 \varepsilon_0 \varepsilon_s \Phi_0 N_A)^{1/2}$$

(ただし、 ε_0 は真空の誘電率、 ε_s は炭化けい素の比誘電率、 Φ_0 は炭化けい素の真性フェルミレベルとフェルミレベル間のエネルギー差、 N_A はドナーイオン注入前のpベース領域のアクセプタ濃度、qは素電荷である)なる範囲にあることを特徴とする炭化けい素nチャネルMOS半導体素子。

【請求項4】導入したドナー不純物が窒素またはリンであることを特徴とする請求項3記載の炭化けい素nチャネルMOS半導体素子。

【請求項5】炭化けい素からなるpベース領域、n⁺ソース領域、n⁺ドレイン領域と、pベース領域の表面に形成されたゲート絶縁膜と、そのゲート絶縁膜上に設けられたゲート電極と、電流を流す二つの主電極とを有し、pベース領域とゲート絶縁膜との界面近傍において実効的なアクセプタ濃度が $1 \times 10^{13} \sim 1 \times 10^{16} \text{ cm}^{-3}$ の範囲にあり、前記ゲート電極に正電圧を印加してゲート絶縁膜の下方のpベース領域の表面層に誘起された反転層の電子濃度を制御することにより主電極間の電流を制御する炭化けい素nチャネルMOS半導体素子の製造方法であって、前記pベース領域をイオン注入により形成し、加速電圧とドーズ量の制御によって表面近傍のアクセプタ濃度が内部よりも低くなるようにしたことを

特徴とする炭化けい素nチャネルMOS半導体素子の製造方法。

【請求項6】炭化けい素からなるpベース領域、n⁺ソース領域、n⁺ドレイン領域と、pベース領域の表面に形成されたゲート絶縁膜と、そのゲート絶縁膜上に設けられたゲート電極と、電流を流す二つの主電極とを有し、pベース領域とゲート絶縁膜との界面近傍において実効的なアクセプタ濃度が $1 \times 10^{13} \sim 1 \times 10^{16} \text{ cm}^{-3}$ の範囲にあり、前記ゲート電極に正電圧を印加してゲート絶縁膜の下方のpベース領域の表面層に誘起された反転層の電子濃度を制御することにより主電極間の電流を制御する炭化けい素nチャネルMOS半導体素子の製造方法であって、pベース領域の表面層にゼロバイアス時に空乏化しないn型領域を形成しない量のドナー不純物をイオン注入することによって、表面近傍の実効的なアクセプタ濃度が内部よりも低くなるようにすることを特徴とする炭化けい素nチャネルMOS半導体素子の製造方法。

【請求項7】pベース領域の表面層に、ドーズ量xが

$$1 \times 10^{11} \text{ cm}^{-2} < x < 5 Q_s / q$$

$$Q_s = (4 \varepsilon_0 \varepsilon_s \Phi_0 N_A)^{1/2}$$

(ただし、 ε_0 は真空の誘電率、 ε_s は炭化けい素の比誘電率、 Φ_0 は炭化けい素の真性フェルミレベルとフェルミレベル間のエネルギー差、 N_A はドナーイオン注入前のpベース領域のアクセプタ濃度、qは素電荷である)なる範囲のドナー不純物をイオン注入することを特徴とする請求項6に記載の炭化けい素nチャネルMOS半導体素子の製造方法。

【請求項8】ドナー不純物が窒素またはリンであることを特徴とする請求項6または7に記載の炭化けい素nチャネルMOS半導体素子の製造方法。

【請求項9】イオン注入した不純物を活性化する熱処理工程を実施することを特徴とする請求項5ないし8のいずれかに記載の炭化けい素nチャネルMOS半導体素子の製造方法。

【請求項10】熱処理工程を $1000 \sim 1500^{\circ}\text{C}$ の温度でおこなうことを特徴とする請求項9記載の炭化けい素nチャネルMOS半導体素子の製造方法。

【請求項11】炭化けい素からなるpベース領域、n⁺ソース領域、n⁺ドレイン領域と、pベース領域の表面に形成されたゲート絶縁膜と、そのゲート絶縁膜上に設けられたゲート電極と、電流を流す二つの主電極とを有し、pベース領域とゲート絶縁膜との界面近傍において実効的なアクセプタ濃度が $1 \times 10^{13} \sim 1 \times 10^{16} \text{ cm}^{-3}$ の範囲にあり、前記ゲート電極に正電圧を印加してゲート絶縁膜の下方のpベース領域の表面層に誘起された反転層の電子濃度を制御することにより主電極間の電流を制御する炭化けい素nチャネルMOS半導体素子の製造方法であって、エピタキシャル成長によって表面近傍のアクセプタ濃度が内部よりも低くなるようにしたこと

を特徴とする炭化けい素nチャネルMOS半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体材料として炭化けい素（以下SiCと記す）を用いた、金属-酸化膜-半導体構造のゲートを有する電界効果トランジスタ（以下MOSFETと記す）等のMOS半導体素子およびその製造方法に関する。

【0002】

【従来の技術】SiCは、電力用や高温用の半導体デバイスとして応用が期待されている半導体材料である。電力用半導体デバイスの中でMOSFETは構造が簡単であり、かつ非常に汎用性の広いデバイスであることから、SiCのMOSFETを製作しようとする研究が盛んである。SiCはシリコン（以下Siと記す）と同様に熱酸化によって二酸化けい素膜（以下SiO₂膜と記す）を形成できるために、Siとほぼ同じ工程でMOSFETの製造が作成可能であること、SiCのMOSFETの開発研究が盛んな理由の一つである。これまで既に、発明者を含めていくつかのグループにより、MOSFETが試作されてその特性が発表されている。

【0003】

【発明が解決しようとする課題】ところがSiCにおいては、MOSFETの表面反転層の電子移動度が極端に小さいことがもっとも大きな問題となっている。SiCには結晶の多形が知られており、今のところ単結晶が市販されているものに6H-SiCと4H-SiCがある。これらは、いずれも閃亜鉛鉱型とウルツ鉱型とを積層した形のアルファ相SiCである。このうち、4H-SiCでは、電子の移動度が6H-SiCと比較して大きく、そのため電力用デバイスへの応用がより期待されている材料となっている。

【0004】図10は一般的なDMOS構造の縦形MOSFETの断面図である。nドリフト層11aの表面層にpベース領域12が形成され、その内部にn⁺ソース領域13が形成されている。n⁺ソース領域13とnドリフト層11aの表面露出部とに挟まれたpベース領域12の表面上にゲート絶縁膜15を介してゲート電極16が、またn⁺ソース領域13とpベース領域12aの表面に共通に接触するソース電極17、n⁺ドレイン領域14の裏面に接触してドレイン電極18が設けられている。

【0005】ゲート電極16に正電圧を印加すると、ゲート絶縁膜15直下のpベース領域12の表面層に反転層が誘起され、ソース電極17とドレイン電極18との間に電流が流れる。ゲート電極16の電圧を取り去ると、ゲート絶縁膜15直下の表面層の蓄積層は消滅し、空乏層がひろがって電流は流れない。

【0006】ところがこれまでのSiCのnチャネルM

OSSFETでは、反転層の移動度が低いという問題があった。例えば、6H-SiCのMOSFETで反転層の電子の移動度は70cm²/V·s程度が得られている [Lipkin, L.A. and Palmour, J.W.: J. Electronic Materials Vol.25 (1996) p.909 参照] のに対して、4H-SiCを用いて同じ条件でMOSFETを作成すると、10cm²/V·s以下の非常に小さな値しか得られていない。発明者らの最近の研究によると、プロセスを工夫しても4H-SiCではせいぜい20cm²/V·s

10 である [IEEE Electron Device lett. Vol.19 (1998) p.242参照]。

【0007】6H-SiCでもさらに大きな移動度が必要であり、4H-SiCにいたっては6H-SiCほどの移動度さえ得られていない状況である。このため、SiC結晶本来の低い抵抗を活かした半導体デバイスができるいなかった。

【0008】最近この問題に対して、ゲート電極の下部に低濃度のn型層を形成して、反転層ではなく蓄積層を伝導層に用いたACCUFETと呼ばれる半導体デバイスがいくつか報告されている。

【0009】図11は、シェノイらによるブレーナ型のACCUFETの部分断面図である [Shenoy, P. M. and Baliga, B. J.: Materials Science Forum Vol.264~268 (1998) p.993 参照]。

【0010】ゲート絶縁膜25直下の表面層はp型ではなくnチャネル領域30となっている。ゲート電極26に正電圧を印加すると、ゲート絶縁膜25直下のnチャネル領域30の表面層に蓄積層が誘起され、n⁺ソース領域23上のソース電極27と、n⁺ドレイン領域24の裏面のドレイン電極28との間に電流が流れる。ゲート電極26の電圧を取り去ると、ゲート絶縁膜25直下の蓄積層は消滅し、空乏層がひろがって電流は流れない。6H-SiCを用いたこのACCUFETでは、移動度として81cm²/V·sの値が得られている。

【0011】図12は、原によるACCUFETの別の例の部分断面図である [Hara, K.: Materials Science Forum Vol.264~268 (1998) p.901 参照]。

【0012】この例は、トレンチ構造のUMOSFETであるが基本的には図11のACCUFETと同じである。この例でもやはり表面にn型のエピタキシャル層からなるnチャネル領域40を形成して蓄積層としており、ゲート電極36に正の電圧を印加することによって、nチャネル領域40に蓄積層が誘起され、n⁺ソース領域33に接触するソース電極37と、n⁺ドレイン領域34の裏面のドレイン電極38間に導通する。

【0013】しかしこれらの構造では、ゼロバイアス時すなわちゲート電極26、36への印加電圧が0Vのときにも電流が流れるノーマリーオン型になりやすく、ノーマリーオフ型にするにはデバイス構造が制約を受けたり、製造が困難であったりするという課題を伴ってい

る。

【0014】このような状況に鑑み本発明の目的は、チャネル領域の移動度が大きいためオン抵抗が低く、しかも製造の容易なノーマリーオフ型のSiCMOS半導体素子、およびその製造方法を提供することにある。

【0015】

【課題を解決するための手段】上記の課題解決のため本発明は、炭化けい素からなるpベース領域、n⁺ソース領域、n⁺ドレイン領域と、pベース領域の表面に形成されたゲート絶縁膜と、そのゲート絶縁膜上に設けられたゲート電極と、電流を流す二つの主電極とを有し、前記ゲート電極に正電圧を印加してゲート絶縁膜の下方のpベース領域の表面層に誘起された反転層の電子濃度を制御することにより主電極間の電流を制御する炭化けい素nチャネルMOS半導体素子において、pベース領域とゲート絶縁膜との界面近傍において実効的なアクセプタ濃度が1×10¹³～1×10¹⁶cm⁻³の範囲にあるものとする。

【0016】発明者らは、炭化けい素MOSFETの試作研究をすすめる過程において、nチャネルMOSFETの半導体表面に低濃度の領域を形成することによって移動度の向上を見出しました。

【0017】図2は、炭化けい素nチャネルMOSFETについての実験により得られた、チャネル領域の移動度のpベース領域のアクセプタ濃度依存性を示す特性図である。横軸は対数表示したアクセプタ濃度、縦軸は移動度であり、炭化けい素結晶の多形のタイプである。

【0018】この図によると移動度はアクセプタ濃度で大きく依存しており、アクセプタ濃度が高い程移動度が低下している。例えばアクセプタ濃度を1×10¹⁶cm⁻³以下とすれば、6H-SiCでは、80cm²/V·s以上の移動度が得られ、4H-SiCでも30cm²/V·s以上の移動度が得られることがわかる。

【0019】1×10¹¹cm⁻³以下のデータはないが、その範囲では移動度が大きな値のまま飽和する傾向を示すと考えられる。しかし、いまのところ1×10¹³cm⁻³未満の不純物濃度を安定的に実現する方法が得られていない。

【0020】また、MOSFETのpベース領域の全体にわたって1×10¹⁶cm⁻³以下の低濃度の領域とすると、pベース領域の抵抗が著しく上昇してしまい、ラッチャップなどの副次的な問題が発生するが、極く表面のみを低濃度とし、内部は高濃度とすれば、その問題は解決できる。

【0021】定量的には、pベース領域の表面層に導入された窒素またはリンのようなドナー不純物の単位面積当たりの総量xが、

$$1 \times 10^{11} \text{ cm}^{-2} < x < 5 Q_n / q$$

$$Q_n = (4 \epsilon_0 \epsilon_s \Phi_n N_A)^{1/2}$$

(ただし、 ϵ_0 は真空の誘電率、 ϵ_s は炭化けい素の比

誘電率、 Φ_n は炭化けい素の真性フェルミレベルとフェルミレベル間のエネルギー差、 N_A はドナーイオン注入前のpベース領域のアクセプタ濃度、qは素電荷である)なる範囲にあるものとする。

【0022】そのようにすれば、後述する実施例のように反転層で大きな移動度が得られる。

【0023】ゲート電極に正電圧を印加してゲート絶縁膜の下方のpベース領域の表面層に誘起された反転層の電子濃度を制御することにより主電極間の電流を制御する炭化けい素nチャネルMOS半導体素子で、pベース領域とゲート絶縁膜との界面近傍においてpベース領域の実効的なアクセプタ濃度が1×10¹³～1×10¹⁶cm⁻³の範囲にあるものの製造方法としては、表面のpベース領域をイオン注入により形成し、加速電圧とドーズ量の制御によって表面濃度が内部よりも低くなるようにするか、pベース領域の表面層にドナー不純物をイオン注入することによって、アクセプタの表面濃度が内部よりも低くなるようにするか、アクセプタの表面濃度が内部よりも低い層をエピタキシャル成長によって形成するかの何れの方法によっても実現できる。

【0024】pベース領域の表面層にドナー不純物をイオン注入する場合は、ドーズ量xが

$$1 \times 10^{11} \text{ cm}^{-2} < x < 5 Q_n / q$$

$$Q_n = (4 \epsilon_0 \epsilon_s \Phi_n N_A)^{1/2}$$

なる範囲にあるものとする。

【0025】そのようにすれば、後述する実施例のように反転層の大きな移動度が得られる。

【0026】ドナー不純物は窒素であってもリンであってもよい。

【0027】イオン注入した不純物を活性化する熱処理工程を実施し、特に熱処理工程を1000～1500℃の温度でおこなうことがよい。

【0028】そのようにすれば、イオン注入した不純物の活性化率が高くなるので、注入量を低く抑えられる。

【0029】

【発明の実施の形態】以下本発明の実施の形態について、実施例を示しながら詳細に説明する。ただし、図10～12と共に部分、あるいは本発明とかかわりのない部分については説明を省略する。

【0030】【実施例1】図1(a)は本発明第一の実施例(以下実施例1と記す。以下同様)にかかるSiC横型nチャネルMOSFETの断面図である。

【0031】SiC基板41の表面層にpベース領域42とpベース領域42より低濃度のp⁻チャネル領域50が形成され、そのpベース領域42内にn⁺ソース領域43とn⁺ドレイン領域44とが形成されている。n⁺ソース領域43とn⁺ドレイン領域44とに挟まれたp⁻チャネル領域50の表面上には、ゲート絶縁膜45を介してゲート電極46が設けられている。n⁺ソース領域43とn⁺ドレイン領域44にそれぞれ接触するソ

ース電極47、ドレイン電極48が設けられている。【0032】図1(b)は図1(a)のA-A線に沿った断面における不純物濃度分布図、図1(c)はB-B線に沿った断面における不純物濃度分布図である。図1(c)において、n⁺ソース領域43の下方に、pベース領域42の不純物プロフィルが見られる。n⁺ソース領域43の表面濃度は $1 \times 10^{19} \text{ cm}^{-3}$ であり、pベース領域42の最高不純物濃度は $1 \times 10^{17} \text{ cm}^{-3}$ である。n⁺ソース領域43とpベース領域42との間の接合深さは0.3μmであり、pベース領域42とn型基板41との間の接合深さは1.0μmである。このような不純物濃度分布は通常の横型MOSFETにおいても見られる。

【0033】従来のSiC横型MOSFET素子と違っている点は、図1(b)において、表面層に表面濃度が $1 \times 10^{19} \text{ cm}^{-3}$ のp⁻チャネル領域50があり、深い部分では $1 \times 10^{17} \text{ cm}^{-3}$ と高濃度のpベース領域42となっている点である。pベース領域42、n⁺ソース領域43とn⁺ドレイン領域44とは平面的には、例えばストライプ状であり、n⁺ソース領域43とn⁺ドレイン領域44との幅はそれぞれ約2μm、両者の間の距離は1μmである。不純物濃度プロフィルの形状は例えばイオン注入の際の加速電圧と、ドーズ量を制御して、変えることができ、この場合、ピークが基板内部にあるようにし、表面では低濃度としたことが重要である。

【0034】実施例1の横型MOSFETの動作機構は、基本的には従来のMOSFETと変わらない。すなわち、ゲート電極46に正の電圧を印加することによって、pベース領域42の表面層に反転層を生じ、ドレイン電極48、ソース電極47間が導通して電流が流れ、ゲート電極46の正の電圧を取り除くと遮断される。

【0035】この実施例1の横型nチャネルMOSFETにおいては、反転層の移動度として約 $50 \text{ cm}^2/\text{V}\cdot\text{s}$ の値が得られた。これは、従来の4H-SiCでの最高値の2倍以上である。そして、そのnチャネルMOSFETのオン抵抗は、p⁻チャネル領域50を設けない比較例と比べて約1/3に低減された。これは、p⁻チャネル領域50を設けた効果である。

【0036】図3(a)ないし(d)は、図1の本発明実施例のSiC横型MOSFETの製造方法を説明するための製造工程順の表面近傍の部分断面図である。以下順に説明する。

【0037】先ず、不純物濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 、厚さ350μmのn型の4H-SiC基板41を準備し、そのSiC基板41の表面に約1000°Cの高温でp⁻チャネル領域50およびpベース領域42形成のためのアルミニウム(以下A1と記す)イオン3aを注入する[図3(a)]。3bは注入されたA1原子である。加速電圧は30KeV～500KeVの多重注入とし、総ドーズ量は $1 \times 10^{14} \sim 5 \times 10^{15} \text{ cm}^{-2}$ とする。特に

p⁻チャネル領域50の表面不純物濃度を余り高くしないために、30KeVでのイオン注入のドーズ量は余り多くしない方が良い。注入するアクセプタ不純物としては、A1のかわりにほう素(以下Bと記す)イオンでも良い。また注入は室温でもよいが、注入されたイオンの活性化率が向上するので高温の方が望ましい。

【0038】バイロジエニック法により、1100°Cで5時間、熱酸化してSiO₂膜を形成し、フォトリソグラフィによりバターンを形成してマスクM1とした後、約1000°Cの高温でn⁺ソース領域43、n⁺ドレイン領域44形成のための窒素(以下Nと記す)イオン4aを注入する[同図(b)]。4bは注入されたN原子である。加速電圧は10～100keVの多重注入とし、総ドーズ量は $1 \times 10^{14} \sim 5 \times 10^{15} \text{ cm}^{-2}$ とする。注入するドナー不純物としては、Nのかわりに燐(以下Pと記す)イオンでも良い。

【0039】マスクM1のSiO₂膜を除去し、1650°C、1時間の熱処理をおこない、注入した不純物を活性化する。これにより、p⁻チャネル領域50、pベース領域42、n⁺ソース領域43、n⁺ドレイン領域44の各領域が形成される[同図(c)]。先に述べたようにSiCでは不純物の拡散が殆ど起きないが、イオン注入時の加速電圧の調節により、不純物領域の形成される深さを制御することができる。例えば、pベース領域42は、最大加速電圧を500keVと高くしたことによって、接合深さ約1.0μmの不純物領域が形成される。n⁺ソース領域43、n⁺ドレイン領域44の接合深さは0.3μmであるが、加速電圧を高めて、もっと深くすることもできる。

【0040】バイロジエニック法により、1100°Cで5時間、熱酸化しゲート絶縁膜45となる厚さ30nmのSiO₂膜を形成した後、フォトリソグラフィによりバターンを形成する[同図(d)]。

【0041】減圧CVD法により、ほう素、燐シリカガラスを堆積した後、バターニングにしてコンタクトホールを形成した後、アルミニウム合金膜を蒸着し、バターン形成して、ゲート電極46、ソース電極47およびドレイン電極48とする[同図(e)]。多結晶シリコンからなるゲート電極46が設けられることもある。

【0042】上記のような製造方法をとることにより、従来のACCUFETのような極めて精密な不純物濃度と厚さの制御を必要とせず、容易に反転層の移動度が大きく、低オン抵抗のSiC横型MOSFETを製造できた。

【0043】[実施例2]図4(a)ないし(c)は、本発明実施例2のSiC横型MOSFETの製造方法を説明するための製造工程順の表面近傍の部分断面図である。以下順に説明する。

【0044】先ず、不純物濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 、厚さ350μmのnドリフト層51a上にアクセプタ濃度

$1 \times 10^{17} \text{ cm}^{-2}$ 、厚さ $2 \mu\text{m}$ のpベース領域5 2をエピタキシャル成長した4H-SiC基板5 1を準備し、そのSiC基板の表面にSiO₂膜を形成し、フォトリソグラフィによりパターンM2を形成した後、約1000°Cの高温でn⁺ソース領域5 3、n⁺ドレイン領域5 4形成のためのNイオン4 aを注入する[図4

(a)]。4 bは注入されたN原子である。加速電圧は10~100keVの多重注入とし、総ドーズ量は $1 \times 10^{14} \sim 5 \times 10^{15} \text{ cm}^{-2}$ とする。注入は室温でおこなってもよいが、注入されたイオンの活性化率が向上するので高温の方が望ましい。

[0045]次に、低濃度のp⁻チャネル領域6 0形成のためのNイオン4 aを注入する[同図(b)]。4 bは注入されたN原子である。加速電圧は10~50keVの多重注入とし、総ドーズ量は $1 \times 10^{11} \sim 5 \times 10^{12} \text{ cm}^{-2}$ とする。次の熱処理により活性化したとき、表面濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 以下でしかもゼロバイアス時に空乏化しないn型領域が形成されないようなドーズ量とすることが重要である。

[0046]マスクM2のSiO₂膜を除去し、1650°C、1時間の熱処理をおこない、注入したドナー不純物を活性化する。これにより、p⁻チャネル領域6 0、pベース領域5 2、n⁺ソース領域5 3およびn⁺ドレイン領域5 4の各領域が形成される[同図(c)]。

[0047]図4(d)は図4(c)のC-C線に沿った断面における不純物濃度分布図である。図4(c)において、p⁻チャネル領域6 0の表面濃度は $1 \times 10^{15} \text{ cm}^{-3}$ であり、その下方のpベース領域5 2は、エピタキシャル成長により形成されたいめほぼ均一なアクセプタ濃度(N_A) $1 \times 10^{17} \text{ cm}^{-3}$ となっている。pベース領域5 2、n⁺ソース領域5 3とn⁺ドレイン領域5 4とは平面的には例えばストライブ状とされる。

[0048]以降は図3(d)以降と同様にして横型MOSFETを製造できる。

[0049]図5は、実施例2のMOSFETにおける反転層の移動度のNドーズ量依存性を示す特性図である。横軸は対数表示したNドーズ量、縦軸は反転層の移動度である。

[0050]この図から、反転層の移動度はドーズ量に大きく依存し、Nドーズ量が増すほど移動度が増大することがわかる。なお、同じ図にpベース領域5 2の不純物濃度が $1 \times 10^{16} \text{ cm}^{-3}$ の場合も示したが、同じ傾向を示しており、より低いドーズ量で大きな移動度が得られている。

[0051]このように大きく移動度が向上する理由を以下に説明する。

[0052]まずドナー不純物を注入しない場合を考える。図6(a)、(b)、(c)は、それぞれゲート電極に電圧を印加してSiO₂膜直下のSiC表面層に反転層を形成しようとした場合のエネルギー

図、電荷分布図、電界分布図である。E_Cは伝導帯の下端、E_Vは価電子帯の上端、E_Fはフェルミレベル、E₁は真性フェルミレベルである。Φ₁はフェルミレベルE_Fと真性フェルミレベルE₁間のエネルギー差(電位差と素電荷との積)、1は反転層、Wは空乏層、N_Aはアクセプタ濃度である。

[0053]ここで注意すべきことはSiCはSiと比較してバンドギャップが著しく大きいことである。そのため、反転層を得るために大きな電圧を印加しなければならない。これはすなわち、エネルギー-bandを大きく曲げる必要があることを意味しており、このために、SiO₂膜-SiCの界面での電界が非常に大きくなってしまう。十分に大きなゲート電圧によってSiO₂膜-SiC界面近傍に誘起された電子は反転層となって電流を流すが、このような大きな電界が印加されていると、電子はSiO₂膜側へ強く押し付けられ、表面のわずかな不均一性によっても散乱され、大きな抵抗を生じるようになる。

[0054]また、同時にエネルギー-bandを大きく曲げることはSiC側の空乏層中に多重のアクセプタがイオン化している状況を示している。そのため、これらのイオン化したアクセプタによって反転層中の電子はクーロン散乱を受けることになる。このことが重なり、SiCではSiと比較して著しくその移動度が低下してしまうのである。

[0055]これに対し本実施例では、SiCの極く表面層に基板表面層のアクセプタとは反対のNやP等のドナー不純物、ここではNをイオン注入により導入し、熱処理により活性化している。そのようにした場合のエネルギー-band図、電荷分布図、電界分布図は、それぞれ図7(a)、(b)、(c)のようになる。

[0056]すなわち、表面に導入したドナーによって基板のpベース領域の空乏層中のイオン化したアクセプタは表面のドナーとキャンセルするため、空乏層の幅が広くなり、電界強度は小さくなる。図7(b)はやや極端な例であるが、表面に導入したドナーがpベース領域中のアクセプタより多い場合である。ゼロバイアス時に空乏化する範囲であれば、このように表面層のドナーがpベース領域中のアクセプタより多くても良い。従って表面層にはアクセプタより多いドナーのイオンがあり、より深い部分ではドナーでコンペンセートされないアクセプタのイオンがある。

[0057]そしてこの場合、図7(c)のように強い電界は表面から少しSiC内部に入ったところに移動する。そのため、伝導に寄与する電子が存在するSiO₂膜-SiCの界面付近での電界が低下する。またイオン化したアクセプタからの電気力線は主に導入したドナーへと終端するので、伝導電子は大きなクーロン力の影響を受けることが無い。

[0058]このような理解は図5の結果を理論的に裏

付けるものである。次にどのような注入量に設定すべきかについて考える。反転層の形成される条件での表面のSiC側での空乏層中の全電荷量Q_bは近似的に次の式で表される。

【0059】

$$Q_b = (4 \varepsilon_0 \varepsilon_s \Phi_b N_A)^{1/2} \quad (3)$$

ここで、 ε_0 : 真空の誘電率、 ε_s : SiCの比誘電率、 N_A : イオン注入前のpベース領域表面のアクセプタ濃度である。また、 Φ_b は図6(a)中に示したバラメータである。この値は図6(a)の定義からわかるようにアクセプタ濃度や温度によって変化するがバンドギャップより少し小さな値である。例えば室温でアクセプタ濃度 $1 \times 10^{16} \text{ cm}^{-3}$ では1V程度となる。

【0060】例としてこの条件でQ_bを求めてみると $7.5 \times 10^{-8} \text{ C} \cdot \text{cm}^{-2}$ となり、これをドーズ量に換算すると $5 \times 10^{11} \text{ cm}^{-2}$ 程度である。この値は図1の実験と非常に良い一致を示している。すなわち、ここで求めたQ_bに近い領域において移動度が著しく向上するという図5の結果は上記の理解が正しいことを裏付けている。実際にはこの値の前後において効果があることが図5からわかる。

【0061】実用的なイオン注入の下限値としては $1 \times 10^{13} \text{ cm}^{-3}$ 程度である。一方余りに多くのドナー不純物を導入すると表面層に、(ゼロバイアス時に空乏化しない)n型の導電層が形成されてソース・ドレイン間が短絡してしまうので、そのようにならないように適正な値に制御されなければならない。上限としては上記の式で計算したものの5倍程度であろう。ただし、注意しなければならないのは、これまでの議論はイオン注入した不純物が100%活性化すると仮定している点である。従って、活性化温度が低くてドナーとして働かない不純物がある場合には、より多くのドナー不純物を導入しなければならない。実用的なアニュール温度は1100°Cから1400°C程度であり、この範囲では窒素やリンの活性化率は10~100%程度が期待されるので、この条件を考慮に入れる必要がある。

【0062】このように、p型の半導体領域にPやNなどのドナー不純物をイオン注入する方法によっても、表面近傍の実効的なアクセプタ濃度を低下させることができ、その結果製作したnチャネルMOSFETでは、実施例1と同程度のオン抵抗が得られた。

【0063】本実施例2の製造方法では、PやNなどドナー不純物のイオン注入だけをおこなっている。実施例1の製造方法においては、A1やBなどのアクセプタ不純物のイオン注入をおこなったが、アクセプタ不純物の活性化のためには1500°C以上という高温処理が必要である。これに対して、PやNなどは、その活性化温度が1200°C程度とアクセプタ不純物に比べて低くて済むために有利である。

【0064】【実施例3】図8(a)ないし(c)は、

本発明実施例3のSiC横型MOSFETの製造方法を説明するための製造工程順の表面近傍の部分断面図である。以下順に説明する。

【0065】先ず、不純物濃度は $1 \times 10^{16} \text{ cm}^{-3}$ 、厚さ $350 \mu\text{m}$ のnドリフト層61a上にアクセプタ濃度 $1 \times 10^{17} \text{ cm}^{-3}$ 、厚さ $1 \mu\text{m}$ のpベース領域62、およびアクセプタ濃度 $1 \times 10^{15} \text{ cm}^{-3}$ 、厚さ $0.1 \mu\text{m}$ のp-チャネル領域70をエピタキシャル成長した4H-SiC基板を準備する【図8(a)】。

【0066】そのSiC基板の表面に酸化膜を形成し、フォトリソグラフィによりパターンM3を形成した後、約1000°Cの高温でn⁺ソース領域63、n⁺ドレイン領域64形成のためのNイオン4aを注入する【同図(b)】。4bは注入されたN原子である。加速電圧は $10 \sim 100 \text{ keV}$ の多重注入とし、総ドーズ量は $1 \times 10^{14} \sim 5 \times 10^{15} \text{ cm}^{-2}$ とする。注入は室温でもよいが、注入されたイオンの活性化率が向上するので高温の方が望ましい。

【0067】マスクM3の酸化膜を除去し、1650°C、1時間の熱処理をおこない、注入したドナー不純物を活性化する。これにより、n⁺ソース領域63、n⁺ドレイン領域64およびの各領域が形成される【同図(c)】。

【0068】図8(d)は図8(c)のD-D線に沿った断面における不純物濃度分布図である。図8(d)において、p-チャネル領域70およびpベース領域62は、エピタキシャル成長により形成されたためそれぞれ $1 \times 10^{15} \text{ cm}^{-3}$ 、 $1 \times 10^{17} \text{ cm}^{-3}$ とほぼ均一な濃度となっている。

【0069】以降は図3(d)以降と同様にして横型MOSFETを製造できる。

【0070】本実施例3の製造方法は、極めて薄い低濃度のエピタキシャル層を成膜してp-チャネル領域70を形成している。この方法ではp-チャネル領域70形成のためのイオン注入をおこなっていないので、そのための活性化はしないで済む。(ただし、n⁺ソース領域63、n⁺ドレイン領域64のための活性化は必要である。)イオン注入では、イオンダメージが起き、活性化のための熱処理によってかなり回復はするが、残留欠陥の問題を伴う。本実施例では、エピタキシャル成長で形成した膜が高品質であるため、そのような問題が幾分でも低減されるという利点がある。

【0071】また、本実施例3の場合も、PやNなどドナー不純物の注入だけであり、その活性化温度が1200度程度と非常に低い点で有利である。

【0072】【実施例4】これまでの実施例は、単純なブレーナ構造の横型MOSFETであったが、本発明はその他の様々なMOS半導体素子に応用可能である。

【0073】図8(a)は、本発明第四の実施例にかかるSiC縦型MOSFETの単位セルの断面図である。

【0074】 n^+ ドレイン領域74上に n ドリフト層71aが積層されたウェハにおいて、 n ドリフト層71aの表面層に p ベース領域72aが形成され、その p ベース領域72a内に n^+ ソース領域73が形成されている。また、 p ベース領域72aと重複して高濃度の p^+ ウェル領域72bが形成されている。 n^+ ソース領域73と n ドリフト層71aの表面露出部とに挟まれた p ベース領域72aの表面層には p^- チャネル領域80が形成されその表面上には、ゲート絶縁膜75を介して多結晶シリコンからなるゲート電極76が設けられている。 n^+ ソース領域73と p^+ ウェル領域72bに共通に接觸するソース電極77が設けられている。 n^+ ドレイン領域74の裏面にはドレイン電極78が設けられている。図示しない部分で多結晶シリコンのゲート電極76に接觸する金属電極が設けられる。79はゲート電極76とソース電極77とを絶縁するSi酸化膜の層間絶縁膜である。

【0075】主なディメンジョンの一例は、次のような値である。 n^+ ドレイン領域74の不純物濃度は $1 \times 10^{19} \text{ cm}^{-3}$ 、厚さ $350 \mu\text{m}$ 、 n ドリフト層71aのそれは、 $1 \times 10^{16} \text{ cm}^{-3}$ 、厚さ $10 \mu\text{m}$ 。 p ベース領域72aの最高不純物濃度は $1 \times 10^{17} \text{ cm}^{-3}$ 、接合深さ $1 \mu\text{m}$ で、幅は約 $15 \mu\text{m}$ 。 n^+ ソース領域73の表面不純物濃度は $1 \times 10^{19} \text{ cm}^{-3}$ 、接合深さ $0.3 \mu\text{m}$ で、幅は約 $5 \mu\text{m}$ 。 p^+ ウェル領域72bのそれは、 $1 \times 10^{19} \text{ cm}^{-3}$ 、接合深さ $0.8 \mu\text{m}$ 、幅は約 $10 \mu\text{m}$ である。 p^- チャネル領域80の表面不純物濃度は $1 \times 10^{15} \text{ cm}^{-3}$ 、接合深さ $0.2 \mu\text{m}$ である。ゲート絶縁膜75の厚さは 50 nm 、ゲート電極76の厚さは $1 \mu\text{m}$ 、層間絶縁膜79の厚さは $2 \mu\text{m}$ である。図の単位セルのピッチは約 $25 \mu\text{m}$ である。

【0076】図8(b)は図8(a)のE-E線に沿った断面における不純物濃度分布図である。図8(a)において、 p^- チャネル領域80の表面不純物濃度は低く、その下方の p ベース領域72aの不純物濃度は高くなっている。そして、そのような p^- チャネル領域80は、例えば実施例1と同様にアクセプタ不純物イオンの加速電圧とドーズ量を制御した多重イオン注入で実現できる。但し、実施例1の場合と違って、マスクを用いた選択的なイオン注入としなければならない。

【0077】この実施例4の縦型MOSFETにおいても、ゲート絶縁膜75の直下に不純物濃度の低い p^- チャネル領域80を設けたので、ゲート電極に正電圧を印加した際に誘起される反転層の移動度は大きく、その結果オン抵抗は低減された。

【0078】 p^- チャネル領域80の形成方法としては、多少工程が複雑になるが、実施例2と同様に p ベース領域に少量のドナー不純物をイオン注入してコンベンセートしても、或いは実施例3と同様にエピタキシャル層を利用して形成してもよい。

【0079】なお、これまで最も基本的な横型MOSFETおよび縦型MOSFETを例として説明してきたが、本発明は例としたMOSFETだけでなく、トレンチ構造のゲートをもつUMOSFETや、MOSサイリスタ、絶縁ゲートバイポーラトランジスタ(IGBT)などの電力用半導体素子にも適用できることは云うまでもない。

【0080】

【発明の効果】従来炭化けい素の n チャネルMOS半導体素子においては、そのオン抵抗が反転層の大きな直列抵抗分に依存していたが、以上説明したように本発明によりゲート絶縁膜直下の p ベース領域の極く表面層のアクセプタ濃度を $1 \times 10^{13} \sim 1 \times 10^{16} \text{ cm}^{-3}$ とすることによって、反転層の移動度を向上させ、その直列抵抗分を著しく低減することが可能となり、SiCの本来有する優れた特性を利用できるようになった。

【0081】製造方法としても、アクセプタ不純物のイオン注入による方法、ドナー不純物濃度のイオン注入によるコンベンセートを利用する方法、エピタキシャル成長による方法等各種の方法をとることができ、容易に低オン抵抗のMOS半導体素子の製造ができる。

【0082】よって本発明は、特に電力用の炭化けい素MOS半導体素子の発展および普及に大きな貢献をなすものである。

【図面の簡単な説明】

【図1】(a)は実施例1の横型MOSFETの断面図、(b)はA-A線に沿った断面の不純物濃度分布図、(c)はB-B線に沿った断面の不純物濃度分布図

【図2】反転層の移動度の表面アクセプタ濃度依存性を示す特性図

【図3】(a)～(e)は実施例1の横型MOSFETの製造工程順の断面図

【図4】(a)～(c)は実施例2の横型MOSFETの製造工程順の断面図、(d)はC-C線に沿った断面の不純物濃度分布図

【図5】MOS移動度の窒素注入量依存性を示す特性図

【図6】従来の炭化けい素MOSFETのゲートバイアス時の(a)はエネルギーバンド図、(b)は電荷分布図、(c)は電界分布図

【図7】本発明の炭化けい素MOSFETのゲートバイアス時の(a)はエネルギーバンド図、(b)は電荷分布図、(c)は電界分布図

【図8】(a)～(c)は実施例3の横型MOSFETの製造工程順の断面図、(d)はD-D線に沿った断面の不純物濃度分布図

【図9】(a)は実施例4の縦型MOSFETの断面図、(b)はE-E線に沿った断面の不純物濃度分布図

【図10】従来の縦型MOSFETの部分断面図

【図11】ACCUFET(蓄積層形MOSFET)の断面図(ブレーナ)

【図12】ACCUFET(蓄積層形MOSFET)の断面図(トレンチ)

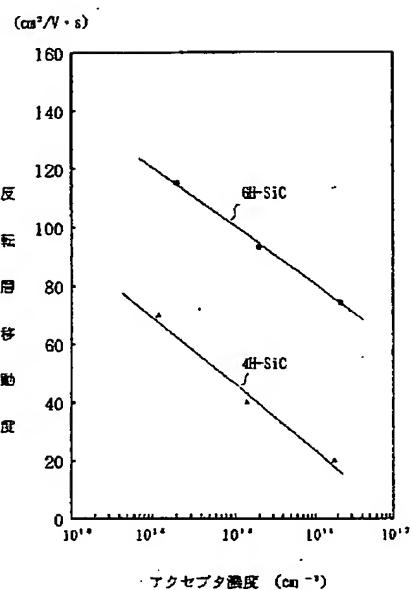
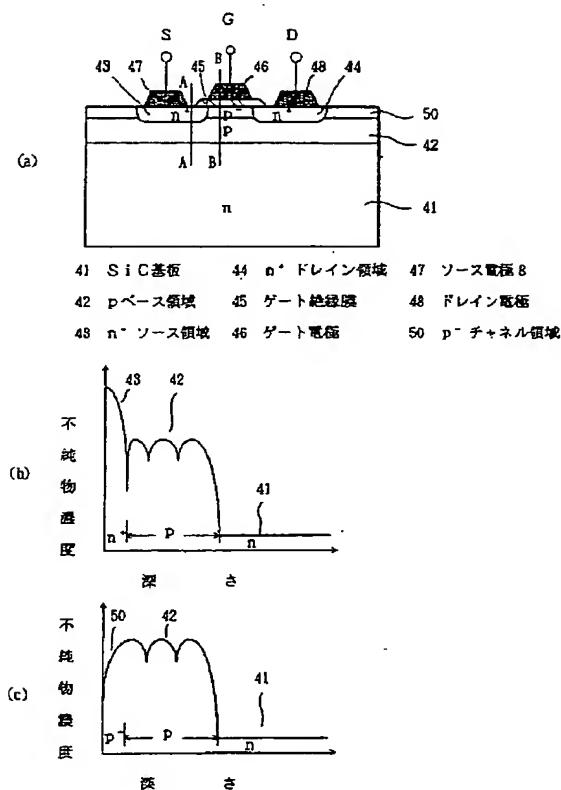
【符号の説明】

3 a	A1イオン
3 b	A1原子
4 a	Nイオン
4 b	N原子
11 a, 21 a, 31 a, 51 a, 61 a, 71 a	n ドリフト層 12, 22, 32, 42, 52, 62, 72 a ス領域 13, 23, 33, 43, 53, 63, 73 n ⁺ ソース 領域
n	10 pベーパー

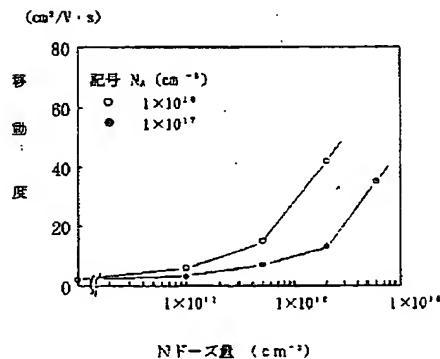
*

* 14, 24, 34, 44, 54, 64, 74	n ⁺ ドレイン領域
15, 25, 35, 45, 75	ゲート絶縁膜
16, 26, 36, 46, 76	ゲート電極
17, 27, 37, 47, 77	ソース電極
18, 28, 38, 48, 78	ドレイン電極
30, 40	nチャネル領域
41	SiC基板
50, 60, 70, 80	p ⁻ チャネル領域
72 b	p ⁺ ウェル領域
79	層間絶縁膜
M1, M2, M3	マスク

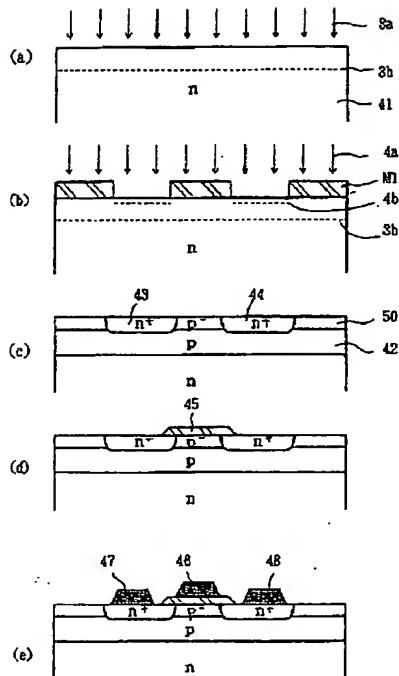
【図1】



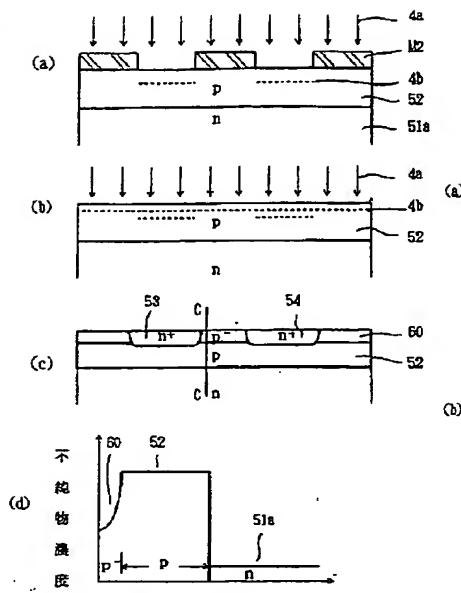
【図5】



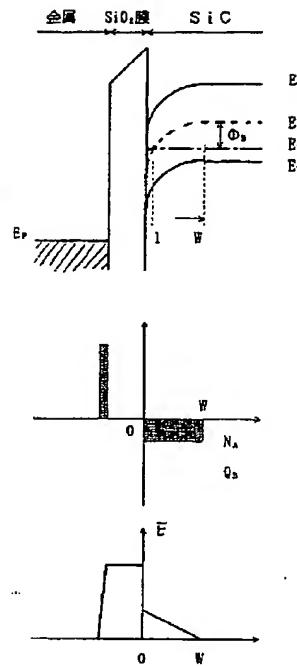
【図3】



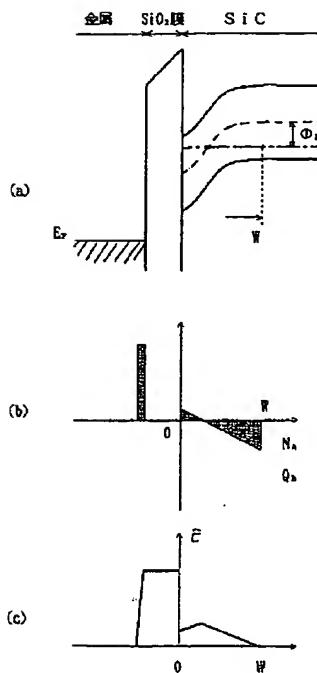
【図4】



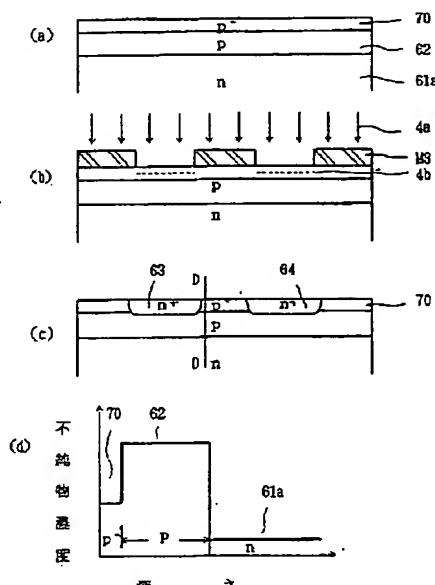
【図6】



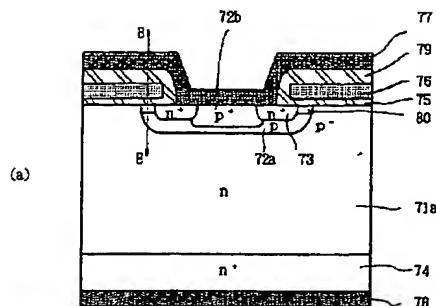
【図7】



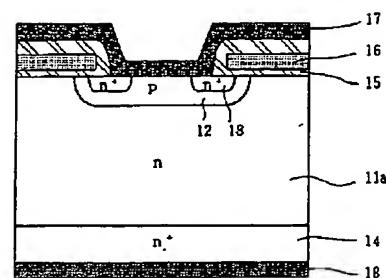
【図8】



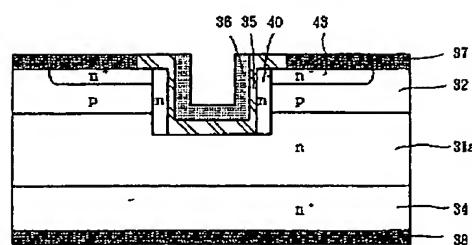
【図9】



【図10】



【図12】



【図11】

